

CLIPPEDIMAGE= JP411219981A

PAT-NO: JP411219981A

DOCUMENT-IDENTIFIER: JP 11219981 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: August 10, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
UJIIE, KENJI	N/A
ARITA, JUNICHI	N/A
SAITO, YOSHIKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI HOKKAI SEMICONDUCTOR LTD	N/A

APPL-NO: JP10022991

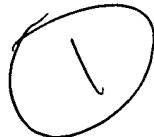
APPL-DATE: February 4, 1998

INT-CL (IPC): H01L021/60;H01L023/12 ;H01L023/28

ABSTRACT:

PROBLEM TO BE SOLVED: To realize low-cost and high reliability related to a semiconductor device with flip chip connection.

SOLUTION: A chip mounting substrate 2 wherein a semiconductor chip 1 is supported by flip chip connection, a conductive member 4 which, being formed of solder paste of low melting-point solder, electrically connects a pad 1a of the semiconductor chip 1 to a land 2a of the chip mounting substrate 2, a sealing part wherein an exposed surface of the semiconductor chip 1 is covered with a sealing resin, and a solder ball which is an external terminal provided on the rear surface of the chip mounting substrate 2 are provided. The semiconductor chip 1 and the chip mounting substrate 2 are so allocated as to form a resin flow-in preventive gap part 7 which prevents flow of the sealing resin, while a



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-219981

(43) 公開日 平成11年(1999)8月10日

(51) Int.Cl.<sup>6</sup>  
H 01 L 21/60  
23/12  
23/28

識別記号  
3 1 1

F I  
H 01 L 21/60  
23/28  
23/12

3 1 1 S  
C  
L

審査請求 未請求 請求項の数9 OL (全16頁)

(21) 出願番号

特願平10-22991

(22) 出願日

平成10年(1998)2月4日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 氏家 健二

東京都小平市上木本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 有田 順一

東京都小平市上木本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 筒井 大和

最終頁に続く

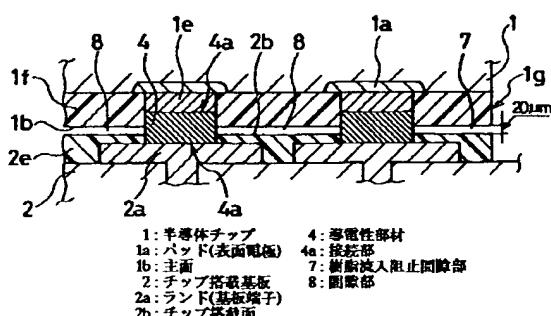
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 フリップチップ接続を行った半導体装置における低コスト化および高信頼性を実現する。

【解決手段】 半導体チップ1をフリップチップ接続によって支持するチップ搭載基板2と、半導体チップ1のパッド1aとチップ搭載基板2のランド2aとを電気的に接続しつつ低融点はんだのはんだペーストから形成された導電性部材4と、半導体チップ1の露出面を封止用樹脂により覆って形成した封止部と、チップ搭載基板2の基板裏面に設けられた外部端子であるはんだボールとかなり、半導体チップ1とチップ搭載基板2とが前記封止用樹脂の流入を阻止する樹脂流入阻止間隙部7を形成して配置され、かつチップ基板間ににおいて導電性部材4の周囲に樹脂流入阻止間隙部7と同じ間隔の間隙部8が形成され、さらに、チップ搭載基板2に間隙部8と外部とを貫通する貫通孔が設けられている。

図 4



1: 半導体チップ  
1a: パッド(表面電極)  
1b: 主面  
1c: ピン端子  
1d: ピン端子  
1e: ピン端子  
1f: ピン端子  
1g: ピン端子  
4: 導電性部材  
4a: 接続部  
7: 樹脂流入阻止間隙部  
8: 間隙部  
2: チップ搭載基板  
2a: ランド(基板端子)  
2b: チップ搭載基板

1

## 【特許請求の範囲】

【請求項1】 フリップチップ接続を行った半導体装置であって、半導体チップをフリップチップ接続によって支持するチップ搭載基板と、前記半導体チップの表面電極と前記チップ搭載基板の基板端子とを電気的に接続し、かつ前記表面電極および前記基板端子との接続部が低融点はんだによって形成された導電性部材と、前記半導体チップの露出面を封止用樹脂により覆って形成した封止部と、前記チップ搭載基板のチップ搭載面と反対側の面に設けられ、かつ前記基板端子と電気的に接続された複数の外部端子とを有し、前記半導体チップと前記チップ搭載基板とが前記封止用樹脂の流入を阻止する樹脂流入阻止間隙部を形成して配置されるとともに、前記半導体チップと前記チップ搭載基板との間において前記導電性部材の周囲に間隙部が形成されていることを特徴とする半導体装置。

【請求項2】 フリップチップ接続を行った半導体装置であって、半導体チップをフリップチップ接続によって支持するチップ搭載基板と、前記半導体チップの表面電極と前記チップ搭載基板の基板端子とを電気的に接続し、かつ低融点はんだによって形成された導電性部材と、前記半導体チップの露出面を封止用樹脂により覆って形成した封止部と、前記チップ搭載基板のチップ搭載面と反対側の面に設けられ、かつ前記基板端子と電気的に接続された複数の外部端子とを有し、前記半導体チップと前記チップ搭載基板とが前記封止用樹脂の流入を阻止する樹脂流入阻止間隙部を形成して配置されるとともに、前記半導体チップと前記チップ搭載基板との間において前記導電性部材の周囲に間隙部が形成されていることを特徴とする半導体装置。

【請求項3】 フリップチップ接続を行った半導体装置であって、半導体チップをフリップチップ接続によって支持するチップ搭載基板と、前記半導体チップの表面電極と前記チップ搭載基板の基板端子とを電気的に接続し、かつ低融点はんだによって形成された導電性部材と、前記半導体チップの露出面を封止用樹脂により覆って形成した封止部と、前記チップ搭載基板のチップ搭載面と反対側の面に設けられ、かつ前記基板端子と電気的に接続された複数の外部端子とを有し、前記半導体チップと前記チップ搭載基板とが前記封止用樹脂の流入を阻止する樹脂流入阻止間隙部を形成して配

10

20

30

40

50

2

置されるとともに、前記半導体チップと前記チップ搭載基板との間において前記導電性部材の周囲に前記樹脂流入阻止間隙部と同じ間隔の間隙部が形成されていることを特徴とする半導体装置。

【請求項4】 フリップチップ接続を行った半導体装置であって、半導体チップをフリップチップ接続によって支持するチップ搭載基板と、前記半導体チップの表面電極と前記チップ搭載基板の基板端子とを電気的に接続し、かつ低融点はんだによって形成された導電性部材と、前記半導体チップの露出面を封止用樹脂により覆って形成した封止部と、前記チップ搭載基板のチップ搭載面と反対側の面に設けられ、かつ前記基板端子と電気的に接続された複数の外部端子とを有し、前記半導体チップと前記チップ搭載基板とが前記封止用樹脂の流入を阻止する樹脂流入阻止間隙部を形成して配置されるとともに、前記半導体チップと前記チップ搭載基板との間において前記導電性部材の周囲に前記樹脂流入阻止間隙部と同じ間隔の間隙部が形成され、かつ前記チップ搭載基板に前記間隙部と外部とを貫通する貫通孔が設けられていることを特徴とする半導体装置。

【請求項5】 半導体チップの主面とチップ搭載基板のチップ搭載面とを対向させ、かつ前記半導体チップの表面電極とこれに対応する前記チップ搭載基板の基板端子との位置を合わせ、前記表面電極と前記基板端子との間に導電性部材を介して前記半導体チップと前記チップ搭載基板とを配置する工程と、

前記導電性部材を溶融して、前記半導体チップと前記チップ搭載基板との間に樹脂流入阻止間隙部を形成した状態で前記表面電極と前記基板端子とを前記導電性部材によって電気的に接続させて前記半導体チップを前記チップ搭載基板にフリップチップ接続する工程と、前記樹脂流入阻止間隙部により前記封止用樹脂の流入を阻止して前記半導体チップと前記チップ搭載基板との間で前記導電性部材の周囲に間隙部を形成しつつ、前記封止用樹脂によって前記半導体チップの露出面を覆って前記半導体チップを封止する工程と、

前記チップ搭載基板のチップ搭載面と反対側の面に、前記基板端子と電気的に接続した複数の外部端子を設ける工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 半導体チップの表面電極に対応する基板端子が設けられたチップ搭載基板を準備する工程と、低融点はんだからなるはんだペーストを前記チップ搭載基板の前記基板端子上に塗布する工程と、前記半導体チップの主面と前記チップ搭載基板のチップ搭載面とを対向させ、かつ前記表面電極とこれに対応する前記基板端子との位置を合わせ、前記表面電極と前記

基板端子との間に前記はんだペーストを介して前記半導体チップと前記チップ搭載基板とを配置する工程と、前記はんだペーストを溶融して、前記半導体チップと前記チップ搭載基板との間に樹脂流入阻止間隙部を形成した状態で前記表面電極と前記基板端子とを前記はんだペーストから形成した導電性部材によって電気的に接続させて前記半導体チップを前記チップ搭載基板にフリップチップ接続する工程と、前記樹脂流入阻止間隙部により前記封止用樹脂の流入を阻止して前記半導体チップと前記チップ搭載基板との間で前記導電性部材の周囲に間隙部を形成しつつ、前記封止用樹脂によって前記半導体チップの露出面を覆って前記半導体チップを封止する工程と、前記チップ搭載基板のチップ搭載面と反対側の面に、前記基板端子と電気的に接続した複数の外部端子を設ける工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 半導体チップの表面電極に対応する基板端子が設けられたチップ搭載基板を準備する工程と、低融点はんだからなるはんだペーストを高さ制御部材を用いて前記チップ搭載基板の前記基板端子上に所定高さに塗布する工程と、前記半導体チップの主面と前記チップ搭載基板のチップ搭載面とを対向させ、かつ前記表面電極とこれに対応する前記基板端子との位置を合わせ、前記表面電極と前記基板端子との間に前記はんだペーストを介して前記半導体チップと前記チップ搭載基板とを配置する工程と、前記はんだペーストを溶融して、前記半導体チップと前記チップ搭載基板との間に樹脂流入阻止間隙部を形成した状態で前記表面電極と前記基板端子とを前記はんだペーストから形成した導電性部材によって電気的に接続させて前記半導体チップを前記チップ搭載基板にフリップチップ接続する工程と、前記樹脂流入阻止間隙部により前記封止用樹脂の流入を阻止して前記半導体チップと前記チップ搭載基板との間で前記導電性部材の周囲に間隙部を形成しつつ、前記封止用樹脂によって前記半導体チップの露出面を覆って前記半導体チップを封止する工程と、前記チップ搭載基板のチップ搭載面と反対側の面に、前記基板端子と電気的に接続した複数の外部端子を設ける工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 半導体チップの表面電極に対応した基板端子上に低融点はんだのはんだペーストが予め所定高さに塗布されたチップ搭載基板を準備する工程と、前記半導体チップの主面と前記チップ搭載基板のチップ搭載面とを対向させ、かつ前記表面電極とこれに対応する前記基板端子との位置を合わせ、前記表面電極と前記基板端子との間に前記はんだペーストを介して前記半導体チップと前記チップ搭載基板とを配置する工程と、

前記はんだペーストを溶融して、前記半導体チップと前記チップ搭載基板との間に樹脂流入阻止間隙部を形成した状態で前記表面電極と前記基板端子とを前記はんだペーストから形成した導電性部材によって電気的に接続させて前記半導体チップを前記チップ搭載基板にフリップチップ接続する工程と、

前記樹脂流入阻止間隙部により前記封止用樹脂の流入を阻止して前記半導体チップと前記チップ搭載基板との間で前記導電性部材の周囲に間隙部を形成しつつ、前記封止用樹脂によって前記半導体チップの露出面を覆って前記半導体チップを封止する工程と、

前記チップ搭載基板のチップ搭載面と反対側の面に、前記基板端子と電気的に接続した複数の外部端子を設ける工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 半導体チップの表面電極に対応する基板端子が設けられた複数のチップ搭載基板を備えたベース基板を準備する工程と、

複数の前記半導体チップの主面と前記ベース基板の各々の前記チップ搭載基板のチップ搭載面とを対向させ、かつ前記表面電極と前記基板端子との位置を合わせ、前記表面電極と前記基板端子との間に導電性部材を介して各々の前記半導体チップと前記チップ搭載基板とを配置する工程と、

前記導電性部材を溶融して、各々の前記半導体チップと前記チップ搭載基板との間に樹脂流入阻止間隙部を形成した状態で前記表面電極と前記基板端子とを前記導電性部材によって電気的に接続させて各々の前記半導体チップを各々の前記チップ搭載基板にフリップチップ接続する工程と、

前記樹脂流入阻止間隙部により前記封止用樹脂の流入を阻止して各々の前記半導体チップと前記チップ搭載基板との間で前記導電性部材の周囲に間隙部を形成しつつ、前記封止用樹脂により各々の前記半導体チップの露出面を覆って各半導体チップを封止して複数の半導体装置本体部を形成する工程と、

前記ベース基板から各々の前記半導体装置本体部を分離する工程と、

各々の前記半導体装置本体部の前記チップ搭載基板におけるチップ搭載面と反対側の面に、前記基板端子と電気的に接続した複数の外部端子を設ける工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体製造技術に関し、特に低コスト化および高信頼性を実現するフリップチップ接続の半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 以下に説明する技術は、本発明を研究、

完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】メモリなどの半導体集積回路が形成された半導体チップを有する半導体装置において、その小形化を図る構造の一例としてBGA (Ball Grid Array) が知られている。さらに、前記BGAにおいて、信号伝達の高速化を図る技術として、フリップチップ接続が用いられる。

【0004】このフリップチップ接続は、半導体チップの能動面（主面）をチップ搭載基板のチップ搭載面と対向させ、この状態で半導体チップをチップ搭載基板に実装するものである。

【0005】なお、半導体チップをフリップチップ接続する際には、半導体チップの表面電極とチップ搭載基板の基板端子とを主にバンプなどの導電性部材を用いて電気的に接続する。

【0006】この場合、BGAをプリント配線基板などの実装基板に実装する際のリフロー温度によりバンプの接続部が溶融・膨張してパッケージクラック（封止部に形成されるクラック）を引き起こさないように、高融点はんだによって形成されたバンプを用いることが多い。

【0007】さらに、バンプの接続信頼性を高めるために、半導体チップのアルミニウムのパッド（表面電極）にサイズの大きな金バンプをめっき法によって形成するものもある。

【0008】ここで、フリップチップ接続を行ったBGAについては、例えば、特開平9-82756号公報、特開平9-92685号公報、特開平6-326211号公報、特開平7-111278号公報および特開平9-64231号公報に記載されている。

#### 【0009】

【発明が解決しようとする課題】ところが、前記した技術のフリップチップ接続において、バンプとして高融点はんだを用いる場合には、チップ搭載基板にも高耐熱性の基板を使用しなければならない。

【0010】その結果、高融点はんだと高耐熱性の基板とが高価であるため、BGAがコストアップすることが問題とされる。

【0011】さらに、半導体チップのパッドにめっき法によって金バンプを形成する場合においても、半導体チップの製造工程にめっき工程が追加されるため、めっき塗布用の設備を導入する必要があり、その結果、前記同様、コストアップに繋がることが問題とされる。

【0012】また、前記した5つの公報に記載されたBGAでは、その構造において、フリップチップ接続された半導体チップとチップ搭載基板との間のバンプの周囲に封止用樹脂が埋め込まれているため、BGAの実装時にバンプが溶融・膨張（熱膨張）してパッケージクラックを引き起こすことがある。

【0013】これにより、BGAの信頼性が低減するこ

とが問題とされる。

【0014】本発明の目的は、低コスト化および高信頼性を実現するフリップチップ接続の半導体装置およびその製造方法を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

#### 【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0017】すなわち、本発明の半導体装置は、半導体チップをフリップチップ接続によって支持するチップ搭載基板と、前記半導体チップの表面電極と前記チップ搭載基板の基板端子とを電気的に接続しつつ前記表面電極および前記基板端子との接続部が低融点はんだによって形成された導電性部材と、前記半導体チップの露出面を封止用樹脂により覆って形成した封止部と、前記チップ搭載基板のチップ搭載面と反対側の面に設けられかつ前記基板端子と電気的に接続された複数の外部端子とを有し、前記半導体チップと前記チップ搭載基板とが前記封止用樹脂の流入を阻止する樹脂流入阻止間隙部を形成して配置されるとともに、前記半導体チップと前記チップ搭載基板との間において前記導電性部材の周囲に間隙部が形成されているものである。

【0018】これにより、導電性部材の周囲に間隙部が形成されているため、導電性部材の自由度を増加させることができ、その結果、導電性部材の熱膨張への妨げを低減できる。

【0019】したがって、半導体装置の実装基板への実装時に導電性部材が熱膨張（溶融・膨張）しようとした際に、導電性部材が間隙部に拡がることができ、これにより、導電性部材の熱膨張によって発生する応力を緩和させることができる。

【0020】その結果、半導体装置実装時のパッケージクラックの発生を防止することができ、これにより、半導体装置の信頼性の向上を図ることができる。

【0021】さらに、本発明の半導体装置は、半導体チップをフリップチップ接続によって支持するチップ搭載基板と、前記半導体チップの表面電極と前記チップ搭載基板の基板端子とを電気的に接続しつつ低融点はんだによって形成された導電性部材と、前記半導体チップの露出面を封止用樹脂により覆って形成した封止部と、前記チップ搭載基板のチップ搭載面と反対側の面に設けられかつ前記基板端子と電気的に接続された複数の外部端子とを有し、前記半導体チップと前記チップ搭載基板とが前記封止用樹脂の流入を阻止する樹脂流入阻止間隙部を形成して配置されるとともに、前記半導体チップと前記チップ搭載基板との間において前記導電性部材の周囲に間隙部が形成されているものである。

【0022】また、本発明の半導体装置の製造方法は、半導体チップの正面とチップ搭載基板のチップ搭載面とを対向させかつ前記半導体チップの表面電極とこれに対応する前記チップ搭載基板の基板端子との位置を合わせ、前記表面電極と前記基板端子との間に導電性部材を介して前記半導体チップと前記チップ搭載基板とを配置する工程と、前記導電性部材を溶融して、前記半導体チップと前記チップ搭載基板との間に樹脂流入阻止間隙部を形成した状態で前記表面電極と前記基板端子とを前記導電性部材によって電気的に接続させて前記半導体チップを前記チップ搭載基板にフリップチップ接続する工程と、前記樹脂流入阻止間隙部により前記封止用樹脂の流入を阻止して前記半導体チップと前記チップ搭載基板との間で前記導電性部材の周囲に間隙部を形成しつつ、前記封止用樹脂によって前記半導体チップの露出面を覆って前記半導体チップを封止する工程と、前記チップ搭載基板のチップ搭載面と反対側の面に、前記基板端子と電気的に接続した複数の外部端子を設ける工程とを有するものである。

【0023】さらに、本発明の半導体装置の製造方法は、半導体チップの表面電極に対応する基板端子が設けられたチップ搭載基板を準備する工程と、低融点はんだからなるはんだペーストを前記チップ搭載基板の前記基板端子上に塗布する工程と、前記半導体チップの正面と前記チップ搭載基板のチップ搭載面とを対向させかつ前記表面電極とこれに対応する前記基板端子との位置を合わせ、前記表面電極と前記基板端子との間に前記はんだペーストを介して前記半導体チップと前記チップ搭載基板とを配置する工程と、前記はんだペーストを溶融して、前記半導体チップと前記チップ搭載基板との間に樹脂流入阻止間隙部を形成した状態で前記表面電極と前記基板端子とを前記はんだペーストから形成した導電性部材によって電気的に接続させて前記半導体チップを前記チップ搭載基板にフリップチップ接続する工程と、前記樹脂流入阻止間隙部により前記封止用樹脂の流入を阻止して前記半導体チップと前記チップ搭載基板との間で前記導電性部材の周囲に間隙部を形成しつつ、前記封止用樹脂によって前記半導体チップの露出面を覆って前記半導体チップを封止する工程と、前記チップ搭載基板のチップ搭載面と反対側の面に、前記基板端子と電気的に接続した複数の外部端子を設ける工程とを有するものである。

#### 【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0025】(実施の形態1) 図1は本発明の実施の形態1における半導体装置(BGA)の構造の一例を一部破断して示す斜視図、図2は図1に示すBGAの構造の一例を示す図であり、(a)は平面図、(b)は側面図、(c)は底面図、図3は図2(a)におけるA-A

線に沿う断面図、図4は図3におけるC部の構造を示す拡大部分断面図、図5は図2(a)におけるB-B線に沿う断面図、図6は本発明の実施の形態1における半導体装置(BGA)の製造方法の一例を示す製造プロセス図、図7(a), (b)は図1に示すBGAの各製造工程におけるベース基板の状態の一例を示す平面図、図8(a), (b), (c)は図1に示すBGAの各製造工程におけるベース基板の状態の一例を示す平面図とBGAの側面図、図9は図1に示すBGAの製造方法におけるはんだペーストの塗布状態の一例を示す拡大部分断面図であり、(a)はリフロー前、(b)はリフロー後、図10は図1に示すBGAの製造方法における導電性部材のBGA実装リフロー時の溶融状態の一例を示す拡大部分断面図、図11は図1に示すBGAに用いられる封止用樹脂の物性の一例を示す物性データ図である。

【0026】図1～図5に示す本実施の形態1の半導体装置は、正面1bにメモリ(例えば、SSRAM(Synchronous Static Random Access Memory))などの半導体集積回路が形成された半導体チップ1をフリップチップ接続によってチップ搭載基板2に実装したものであり、外部端子として複数のはんだボール3が設けられたBGA9である。

【0027】なお、本実施の形態1では、前記BGA9の一例として、119ピン(7×17ピン)のBGA9の場合を説明する。ただし、外部端子の数はなんばんはんだボール3の設置数は、119個に限定されるものではなく、その数は119個未満であってもよく、あるいは119個以上であってもよい。

【0028】また、本実施の形態1で説明するBGA9では、はんだボール3が、図2(b), (c)に示すように、チップ搭載基板2の基板端子であるランド2a(図4参照)が設けられているチップ搭載面2bと反対側の面(以降、基板裏面2cと呼ぶ)に格子状(7×17)に配列されて設けられている。

【0029】したがって、図3に示すように、半導体チップ1からの信号は、チップ搭載基板2を介して外部端子であるはんだボール3に伝えられる。

【0030】前記BGA9の構成について説明すると、半導体チップ1をフリップチップ接続によって支持するチップ搭載基板2と、半導体チップ1のパッド1a(表面電極)とチップ搭載基板2のランド2aとを電気的に接続しつつ低融点はんだによって形成された導電性部材4と、半導体チップ1の背面1c(露出面)および側面1d(露出面)を封止用樹脂5により覆って形成した封止部6と、チップ搭載基板2の基板裏面2cに設けられかつランド2aと電気的に接続された複数(ここでは、119個)の外部端子であるはんだボール3とからなり、半導体チップ1とチップ搭載基板2とが封止用樹脂5の流入を阻止する樹脂流入阻止間隙部7を形成して配置されるとともに、半導体チップ1とチップ搭載基板2

との間（以降、チップー基板間と略す）において導電性部材4の周囲に樹脂流入阻止間隙部7と同じ間隔の間隙部8が形成され、かつチップ搭載基板2に間隙部8と外部とを貫通する貫通孔2dが設けられている。

【0031】この貫通孔2dは、モールド時やリフロー時に間隙部8で発生するガスを外部に逃がすためのベントホールである。

【0032】また、半導体チップ1は、例えば、シリコンによって形成されるとともに、フリップチップ接続によってチップ搭載基板2のチップ搭載面2bに実装されている。

【0033】なお、フリップチップ接続は、図1に示すように、BGA9の外形の大きさに対して半導体チップ1の大きさが比較的大きく、これにより、ワイヤボンディング技術が適用困難な場合や、信号伝達の高速化のためにチップー基板間の接続距離を短くする場合に有効な接続技術である。

【0034】図4は、本実施の形態1のフリップチップ接続部の構造を拡大して示した図である。フリップチップ接続は、半導体チップ1の能動面（主面1b）をチップ搭載基板2のチップ搭載面2bと対向させ、この状態（フェイスダウン）で半導体チップ1をチップ搭載基板2に実装するものである。

【0035】なお、半導体チップ1のパッド1aは、例えば、アルミニウムによって形成され、半導体チップ1においては、パッド1aの上層には導電性部材4の接続部4aと電気的に接続するバリヤメタル層1eと、パッド1aを保護する保護膜1fとが形成されている。その際、バリヤメタル層1eは、例えば、パラジウムーチタン合金またはニッケルークロム合金によって形成されかつその表面を露出させて保護膜1fによって囲まれております。一方、保護膜1fは、例えば、ポリイミド系の絶縁膜によって形成されている。

【0036】さらに、チップ搭載基板2のランド2aは、例えば、金ー銅合金によって形成されている。

【0037】ここで、本実施の形態1では、半導体チップ1のパッド1aとこれに対応するチップ搭載基板2のランド2aとが低融点はんだからなる導電性部材4を介して直接電気的に接続されている。つまり、低融点はんだを用いた共晶はんだ接続によるフリップチップ接続である。

【0038】なお、前記低融点はんだは、例えば、250°C以下の温度でリフローによって溶融してはんだ付けが可能な程度の低温はんだである。

【0039】また、前記フリップチップ接続を行う際には、チップ搭載基板2のランド2aもしくは半導体チップ1のパッド1aに印刷によって所定高さに塗布したはんだペースト10（図9参照）をリフローし、これにより、一度前記はんだペースト10を溶融し、その後、硬化させてフリップチップ接続を行う。

【0040】その結果、チップー基板間の外周全体に渡ってほぼ均一な所望距離の樹脂流入阻止間隙部7を形成している。

【0041】この樹脂流入阻止間隙部7は、樹脂封止時に、チップー基板間に封止用樹脂5が入り込まないように形成した隙間であり、樹脂封止時の封止用樹脂5の流入を阻止できる程度に極めて狭く形成されたものである。

【0042】また、本実施の形態1のBGA9の封止部6は、樹脂封止のうち、封止用樹脂5を用いたトランスマールドによって形成されたものである。

【0043】したがって、前記樹脂流入阻止間隙部7の距離の設定値は、図1に示す本実施の形態1で使用する封止用樹脂5の物性と、後述するモールド時のモールド条件とによって決定され、本実施の形態1の場合、樹脂流入阻止間隙部7の距離は、その一例として、約20μmである。

【0044】ただし、樹脂流入阻止間隙部7の距離の値は、樹脂封止時の封止用樹脂5のチップー基板間への流入を阻止できる大きさであれば、20μmに限定されるものではなく、使用する封止用樹脂5（例えば、流動性）とモールド時のモールド条件との組み合わせやその種類などによって種々変更可能なものである。

【0045】なお、前記BGA9では、モールド方法によって半導体チップ1を樹脂封止する際に、前記したように、封止用樹脂5がチップー基板間に流入しないため、低融点はんだからなるそれぞれの導電性部材4の周囲に間隙部8が形成されており、本実施の形態1のBGA9では、チップー基板間においてその外周全体に渡って形成された樹脂流入阻止間隙部7とチップー基板間の内方の間隙部8とが同じ距離に形成されている。

【0046】つまり、半導体チップ1の主面1bとチップ搭載基板2のチップ搭載面2bとが互いに平坦な面によって形成され、これにより、チップー基板間の距離が半導体チップ1の外周部1gから内方全体に渡ってほぼ均一に約20μmとなるように形成されている。

【0047】また、チップー基板間において、それぞれの導電性部材4の周囲に間隙部8が形成されたことにより、半導体チップ1は、その回路形成面（主面1b）が引っ張られる向きに僅かに反ることが考えられる。その際、半導体チップ1のこの反り量が半導体チップ1の主面1bにクラックを形成しない程度の反り量でなければならない。

【0048】したがって、半導体チップ1を支持する複数の導電性部材4のうち隣接する導電性部材4の設置ピッチが最大となる2つの導電性部材4の設置間の間隙部8において、半導体チップ1が反った際にもその主面1bにクラックを形成しない程度の反り量に留めることができるように間隙部8の大きさを考慮しなければならず、本実施の形態1における20μmの間隙部8は、こ

11

の条件を満足するものである。

【0049】また、前記BGA 9の封止部6は、封止用樹脂5を用いてトランスマーキュリーモールドにより半導体チップ1を封止して形成されたものであり、図1および図2(a)に示すように、チップ搭載基板2における半導体チップ1の周囲近傍と封止用樹脂5とが半導体チップ1の4つの側面1dにはほぼ沿って全周に渡って接合されている。

【0050】なお、封止用樹脂5は、例えば、熱硬化性のエポキシ系樹脂などであるが、その一例として、本実施の形態1において使用する封止用樹脂5の物性を図1に示す。

【0051】また、チップ搭載基板2は、例えば、ガラス入りエポキシ系樹脂やガラス入りビスマレイミドトリアジン(ガラス入りBTレジン)などを用いて形成された比較的安価でかつ適度な耐熱性(高耐熱ではなく、例えば、300°C前後の耐熱性)を有したプラスチックのプリント配線基板である。

【0052】したがって、本実施の形態1のBGA 9は、P-BGA(プラスチックBGA)と呼ばれるものである。

【0053】また、チップ搭載基板2は、図5に示すように、その表面にソルダレジスト2eがコーティングされているとともに、図3に示すように、表面配線2fと内部配線2gとが設けられた多層配線構造の基板である。本実施の形態1のチップ搭載基板2は、図3に示すように、チップ搭載面2bの表面配線2fと、基板裏面2cの表面配線2fと、2つの内部配線2gとで4つの配線層を有した4層構造の基板である。

【0054】ただし、チップ搭載基板2は、4層構造の基板に限定されるものではない。

【0055】さらに、チップ搭載面2bの中央付近のランド2aを避けた箇所にペントホール機能の貫通孔2dが1つ形成されている。ただし、貫通孔2dの設置数についても限定されるものではなく、複数個設けられてもよい。

【0056】また、BGA 9の外部端子であるはんだボール3は、導電性部材4と同様に低融点はんだによって形成されるものであり、その大きさは、例えば、直径0.75mm程度である。

【0057】次に、本実施の形態1による半導体装置(BGA)の製造方法について説明する。

【0058】なお、前記半導体装置の製造方法は、図1～図5に示すBGA 9の製造方法であり、本実施の形態1では、図7および図8に示す複数枚(ここでは、その一例として6枚の場合を説明するが、6枚以外の複数枚であってもよい)のチップ搭載基板2を備えた1枚のベース基板11から複数(6個)のBGA 9を製造する場合を図6に示す製造プロセスに基づいて説明する。

【0059】まず、図6に示すステップS1により、所

10

12

望の半導体集積回路が形成された複数の半導体チップ1を備える半導体ウェハ(図示せず)を準備し、続いて、ステップS2に示すダイシングを行って、前記半導体ウェハを個々の半導体チップ1に切断・分離する。

【0060】その後、検査などによって良品と判定された半導体チップ1を用意し、さらに、この半導体チップ1のパッド1aに対応する基板端子2aが設けられた6枚のチップ搭載基板2を備えたベース基板11を準備する。

【0061】ここで、ベース基板11は、図7(a)に示すように、1個のBGA領域に相当するチップ搭載基板2の6個分を一体に形成したものであるとともに、前記BGA領域を連続して1列に配置させた大形の基板である。

【0062】また、このベース基板11には、モールド時または切断時などに用いられる位置決め孔11aやガイド長孔11bが、ベース基板11の長手方向に沿ってかつその両側部にそれぞれのチップ搭載基板2に対応して各々複数個設けられている。

【0063】つまり、ベース基板11はチップ搭載基板2を6枚取りとした基板である。

【0064】続いて、ステップS3に示すベース基板供給を行うとともに、ステップS4に示すはんだペースト供給を行って、ベース基板11の各々のチップ搭載基板2の基板端子2aに対してステップS5に示すはんだペースト印刷を行う。

【0065】ここで、前記はんだペースト印刷を行う際に、本実施の形態1では、図9(a)に示す低融点はんだからなるはんだペースト10をマスク部材12(高さ制御部材)を用いてチップ搭載基板2の基板端子2a上に所定高さに印刷塗布して行う。

【0066】なお、マスク部材12は、はんだペースト10を基板端子2a上に高精度の高さに印刷塗布するための部材である。

【0067】本実施の形態1では、樹脂流入阻止間隙部7および間隙部8を約20μmに形成する。これを実現する方法の一例としては、マスク部材12によって低融点はんだのはんだペースト10を基板端子2a上に形成する際に、直径40μmでかつ高さ100μmの円柱形に精度良くはんだペースト10を形成する。

【0068】すなわち、直径40μmでかつ高さ100μmの円柱形のはんだペースト10を形成すべく開口部がマスク部材12には形成されている。

【0069】基板端子2a上で、この高さと大きさとが高精度に制御されて形成されたはんだペースト10をリフローによって溶融し、その後硬化させると、図9(b)に示すように、樹脂流入阻止間隙部7および間隙部8を約20μmに形成することができる。

【0070】なお、はんだペースト10の印刷(塗布)高さをできる限り低くすることにより、チップ-基板間

40

50

13

の接続信頼性を向上できる。ただし、基板端子2a上に印刷するはんだペースト10の大きさや形状は、樹脂流入阻止間隙部7および間隙部8の距離などによって決定されるものであり、その際、前記大きさや形状（本実施の形態1では、直径40μmでかつ高さ100μmの円柱形）はこれに限定されるものではない。

【0071】マスク部材12を用いた前記印刷方法によって、チップ搭載基板2の所定の基板端子2a上に所定高さにはんだペースト10を印刷塗布した後、ベース基板11上で、6個の半導体チップ1の正面1bと各々に対応するチップ搭載基板2のチップ搭載面2bとを対向させ、かつ各々の半導体チップ1のパッド1aとこれに対応する基板端子2aとの位置を合わせ、さらに、パッド1aと基板端子2aとの間にはんだペースト10を介して半導体チップ1とチップ搭載基板2とを配置する。

【0072】すなわち、既存のフリップチップ接続用のチップマウンタなどを用いてステップS6に示すチップマウントを行う。

【0073】図7(b)に示すベース基板11が、6個の半導体チップ1をそれぞれのBGA領域にチップマウントした状態を示すものである。

【0074】その後、図7(b)に示すチップマウント済みのベース基板11を図示しないリフロー炉などに通し、これによって、ステップS7に示すリフローを行う。

【0075】つまり、前記リフローによってはんだペースト10を溶融し、これにより、チップ-基板間を電気的に接続させる。

【0076】その結果、6個の半導体チップ1とこれらに対応するチップ搭載基板2との間に樹脂流入阻止間隙部7を形成した状態でパッド1aと基板端子2aとをはんだペースト10から形成した導電性部材4によって電気的に接続させることができ、これにより、各々の半導体チップ1を各々のチップ搭載基板2にフリップチップ接続する。

【0077】なお、リフロー時のリフロー温度は、例えば、240~250°Cである。

【0078】ここで、はんだペースト10は、その高さや大きさ（ここでは、直径40μm、高さ100μmの円柱形）が高精度に制御されて塗布されているため、前記リフローによってはんだペースト10が一度溶融し、その後、冷えて硬化して導電性部材4となると、図4および図9(b)に示すように、半導体チップ1とチップ搭載基板2との距離、すなわち樹脂流入阻止間隙部7および間隙部8の距離が20μmになる。

【0079】リフロー終了後、図11に示す物性の封止用樹脂5を用い、これを供給する封止用樹脂供給を行って（ステップS8）、半導体チップ1の樹脂封止を行う（ステップS9）。

【0080】なお、本実施の形態1においては、トラン

10

20

30

40

50

14

スファモールドによって樹脂封止を行う。

【0081】また、本実施の形態1では、モールドを行う際のモールド条件と、封止用樹脂5の物性と、樹脂流入阻止間隙部7の距離とが、モールド時に、チップ-基板間に封止用樹脂5を浸入させないための重要な要因となる。

【0082】そこで、樹脂流入阻止間隙部7の距離を約20μmと設定した際にチップ-基板間に浸入できない封止用樹脂5が図11に示す物性を有する樹脂であるとともに、モールド時に、チップ-基板間に封止用樹脂5を浸入させないためのモールド条件が次の内容のものである。

【0083】前記モールド条件は、図示しないモールド金型内で封止用樹脂5を押し出す時の圧力であるプランジャ圧力が150kg/cm<sup>2</sup>、モールド金型のクランプ圧力（型締め圧力）が50トン、金型温度が175°C、封止用樹脂5の流れる速度がMAXで1.62mm/sec、モールド時間が220秒である。

【0084】したがって、図11に示す物性を有する封止用樹脂5を用い、かつ前記モールド条件によってトランシスファモールドを行えば、20μmの樹脂流入阻止間隙部7が封止用樹脂5のチップ-基板間への流入を阻止し、これにより、封止用樹脂5がチップ-基板間に浸入しないため、各々の半導体チップ1とチップ搭載基板2との間で導電性部材4の周囲に間隙部8を形成することができる。

【0085】その結果、チップ-基板間で導電性部材4の周囲に間隙部8を形成した構造で、封止用樹脂5により各々の半導体チップ1の背面1cと側面1dとを覆って6個の半導体チップ1をそれぞれに封止して封止部6を形成する。

【0086】なお、本実施の形態1の樹脂封止では、半導体チップ1の露出面、すなわち背面1cおよび側面1dに対して封止用樹脂5を供給し、チップ搭載基板2上で封止用樹脂5により半導体チップ1を完全に覆って封止部6を形成する。

【0087】これにより、図8(a)に示すように、1枚のベース基板11上に6個の封止部6を含むBGA本体部9a(半導体装置本体部)を形成する。

【0088】その後、図8(b)に示すように、ベース基板11から6個のBGA本体部9aをそれぞれ切離して（ステップS10）分離させる。

【0089】その際の切離方法としては、ルーター（ドリル）を用いてもよく、また、型切離などによって切離してもよい。

【0090】続いて、各々のBGA本体部9aのチップ搭載基板2におけるチップ搭載面2bと反対側の面すなわち基板裏面2cに、基板端子2aと電気的に接続した複数（本実施の形態1では119個）の外部端子でありかつ低融点はんだからなるはんだボール3を設ける。

15

【0091】ここでは、まず、はんだボール供給（ステップS11）を行い、さらに、ステップS12に示すはんだボール転写を行って、それぞれのBGA本体部9aのチップ搭載基板2に119個のはんだボール3を仮固定する。

【0092】その後、個々のチップ搭載基板2にはんだボール3を仮固定したベース基板11を図示しないリフロー炉などに通し、これによって、ステップS13に示すリフローを行う。

【0093】つまり、ステップS13に示すリフローによってはんだボール3をチップ搭載基板2に取り付ける。

【0094】なお、リフロー時のリフロー温度は、例えば、240~250°Cである。

【0095】ここで、導電性部材4は、低融点はんだのはんだペースト10から形成されたものであるため、240~250°Cでのリフロー時には、図10に示すように、それぞれの導電性部材4が溶融し、熱膨張して横方向に拡がる。

【0096】この時、本実施の形態1のBGA9では、各々の導電性部材4の周囲に間隙部8が形成されているため、導電性部材4の自由度が増し、その結果、導電性部材4が間隙部8に拡がりかつ縮まることができる。

【0097】これにより、低融点はんだからなる外部端子であるはんだボール3が取り付けられる。

【0098】その結果、図1または図8(c)に示すようなBGA9を製造することができ、これにより、BGA完成（ステップS14）とすることができます。

【0099】本実施の形態1の半導体装置（BGA）およびその製造方法によれば、以下のような作用効果が得られる。

【0100】すなわち、半導体チップ1とチップ搭載基板2とが樹脂流入阻止間隙部7を形成して配置されることにより、モールド時（樹脂封止時）のチップー基板間への封止用樹脂5の流入を防止できる。

【0101】したがって、前記チップー基板間において導電性部材4の周囲に間隙部8を形成できる。

【0102】これにより、導電性部材4の周囲に間隙部8が形成されているため、導電性部材4の自由度を増加させることができ、その結果、導電性部材4の熱膨張・冷却への妨げを低減できる。

【0103】したがって、リフローによるはんだボール3（外部端子）取り付け時またはBGA9のプリント基板などの実装基板への実装時に、導電性部材4が熱膨張（溶融・膨張）しようとした際に、導電性部材4が間隙部8に拡がることができ、かつ冷えて硬化した際に縮まることもできる。

【0104】これにより、導電性部材4の熱膨張（冷却）によって発生する応力を緩和させることができる。

【0105】その結果、BGA9実装時のパッケージク

10

20

30

40

16

ラックの発生を防止することができ、これにより、BGA9の信頼性の向上を図ることができる。

【0106】さらに、チップー基板間の接続性が劣化することも防ぐことができる。

【0107】また、BGA9実装時に導電性部材4が熱膨張して間隙部8に拡がることができるために、導電性部材4の溶融を許容することができ、その結果、導電性部材4に低融点はんだを用いることが可能になる。

【0108】したがって、チップ搭載基板2に対して比較的安価でかつ高耐熱でない耐熱性を有したプリント配線基板を用いることが可能になり、導電性部材4に低融点はんだを用いることと合わせてBGA9の低コスト化を図ることができる。

【0109】また、チップー基板間において導電性部材4の周囲に樹脂流入阻止間隙部7と同じ間隔の間隙部8が形成されていることにより、この間隙部8は約20μm程度であるため、モールド時に半導体チップ1に大きな荷重が掛かった際にも、半導体チップ1の主面1bにクラックを形成するような反りが発生することを防止できる。

【0110】これにより、BGA9の信頼性の向上を図ることができる。

【0111】さらに、チップ搭載基板2に間隙部8と外部との貫通する貫通孔2dが設けられていることにより、モールド時やBGA9実装時などの高温付加時に間隙部8で発生するガスを貫通孔2dを通じて外部に逃がすことができる。

【0112】これにより、BGA9におけるパッケージクラックの発生をさらに低減できる。

【0113】また、半導体チップ1の露出面である背面1cと側面1dとを封止用樹脂5により覆って封止部6を形成することにより、半導体チップ1の主面1bと背面1cとが露出しないため、BGA9の特性評価時や実装時などに半導体チップ1の背面1cに直接触れることがなくなる。

【0114】これにより、半導体チップ1に対して外力が加わることを低減できるため、チップクラックやチップー基板間の接続不良の発生を防止できる。

【0115】その結果、BGA9の信頼性の向上を図ることができる。

【0116】さらに、半導体チップ1を樹脂封止することにより、BGA9の取り扱いが容易になるため、その製造性を向上できる。

【0117】また、低融点はんだのはんだペースト10をチップ搭載基板2の基板端子2a上に塗布することにより、前工程（半導体チップ1の製造工程）において、半導体チップ1のパッド1a上にはんだバンプを形成する工程を削除でき、これにより、フリップチップ接続を行わない半導体チップ1と同様の前工程とすることが可能になる。

50

17

【0118】したがって、本実施の形態1のBGA9のフリップチップ接続を行うためのバンプ形成専用の設備が不要となるため、その結果、BGA9の低コスト化を図ることができる。

【0119】また、6枚のチップ搭載基板2を備えたベース基板11を用いてBGA9を製造することにより、1枚のベース基板11から6個のBGA9を同時に製造することができるようになり、これにより、BGA9を効率良く製造することができる。すなわち、BGA9の製造工程におけるスループットを向上できる。

【0120】その結果、BGA9の製造性を向上できる。

【0121】(実施の形態2)図12は本発明の実施の形態2における半導体装置(BGA)の構造の一例を示す断面図、図13は図12におけるD部の構造を示す拡大部分断面図、図14は図12に示すBGAの半導体チップに設けられた導電性部材の配列の一例を示す底面図である。

【0122】本実施の形態2における図12に示すBGA20(半導体装置)は、実施の形態1で説明したBGA9と同様に半導体チップ1をフリップチップ接続によってチップ搭載基板2に実装したものであり、BGA9とはほぼ同様の構造を有するものであるが、実施の形態1のBGA9に対しての変更箇所は、図13に示すように、導電性部材4に低融点はんだからなる小形はんだボールを用いることと、チップ搭載基板2の半導体チップ1の外周部1gに対応する箇所のみに封止用樹脂5の流入を阻止する樹脂流入阻止間隙部7を形成することである。

【0123】したがって、BGA20は、前記小形はんだボールの導電性部材4を介して半導体チップ1をチップ搭載基板2にフリップチップ接続するものである。

【0124】ここで、本実施の形態2で導電性部材4として用いる前記小形はんだボールの大きさは、例えば、直径0.2mm程度である。

【0125】これにより、リフローなどによって半導体チップ1をチップ搭載基板2にフリップチップ接続した際には、チップー基板間の間隙部8の距離は、0.2mmより若干短い程度の距離となる。

【0126】したがって、チップ搭載基板2に半導体チップ1を搭載した際のチップ搭載基板2の半導体チップ1の外周部1gに対応する箇所のみに20μmの樹脂流入阻止間隙部7を形成する。

【0127】つまり、図13に示すように、チップ搭載基板2の半導体チップ1の外周部1g全周に対応する箇所にソルダレジスト2eからなる突起状のダム部2hを設け、これにより、20μmの樹脂流入阻止間隙部7の形成を実現する。

【0128】ここで、本実施の形態2の小形はんだボールの導電性部材4は、フリップチップ接続を行う際に、

10

18

予め、半導体チップ1のパッド1a側に搭載しておき、この小形はんだボールを搭載した半導体チップ1をフェイスダウンによってチップ搭載基板2にフリップチップ実装(チップマウント)されたものである。

【0129】なお、本実施の形態2のBGA20における間隙部8の距離は、0.2mmより若干短い程度の距離であり、実施の形態1のBGA9の20μmに比べて遙に長い。

【0130】したがって、トランスファモールドによって樹脂封止を行う際に、モールド荷重により半導体チップ1が反って割れることが懸念される。

【0131】しかし、本実施の形態2のBGA20では、モールド時の半導体チップ1の反りを低減するために、図14に示すように、複数(ここでは、140個程度)の小形はんだボールの導電性部材4を格子状配列で半導体チップ1に取り付けている。

20

【0132】なお、前記格子状配列を行う際に、前記小形はんだボールの数が足りない場合には、チップー基板間で電気的な接続を行っていないダミーバンプを取り付けて格子状の配列を整える。

【0133】ここで、本実施の形態2のBGA20におけるその他の構造については、実施の形態1で説明したBGA9と同様であるため、その重複説明は省略する。

【0134】また、本実施の形態2のBGA20の製造方法は、実施の形態1のBGA9の製造方法とほぼ同じであるが、実施の形態1との相違点は、実施の形態1のBGA9では、はんだペースト1oをチップ搭載基板2側に塗布してフリップチップ接続を行ったのに対して、本実施の形態2のBGA20では、スタッズバンプ技術(ボールボンディングを利用したバンプ接合技術)などを用いて低融点はんだからなる導電性部材4の小形はんだボールを半導体チップ1のパッド1a側に形成し、その後、フリップチップ接続を行うことである。

30

【0135】本実施の形態2のBGA20の製造方法におけるその他の製造方法については、実施の形態1で説明したBGA9と同様であるため、その重複説明は省略する。

40

【0136】さらに、本実施の形態2のBGA20およびその製造方法によって得られる作用効果については、実施の形態1で説明したBGA9のもと同様であるため、その重複説明は省略する。

【0137】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

50

【0138】例えば、前記実施の形態1では、フリップチップ接続を行う際に、半導体チップ1のパッド1aに対応する基板端子2aが設けられたチップ搭載基板2を準備し、さらに、低融点はんだからなるはんだペースト

10をマスク部材12を用いてチップ搭載基板2の基板端子2a上に所定高さに印刷塗布した後、フリップチップ接続を行う場合について説明したが、半導体チップ1のパッド1aに対応した基板端子2a上に低融点はんだからなるはんだペースト10が予め所定高さに塗布されたチップ搭載基板2を準備し、その後、フリップチップ接続を行ってもよい。

【0139】これにより、低融点はんだからなるはんだペースト10をチップ搭載基板2の基板端子2a上に所定高さに印刷塗布する工程を削除することができ、半導体装置の製造工程を簡略化することができる。

【0140】また、前記実施の形態1および前記実施の形態2では、導電性部材4が低融点はんだのはんだペースト10または小形はんだボールから形成される場合について説明したが、導電性部材4はその全体が低融点はんだから形成される必要はなく、導電性部材4における少なくとも半導体チップ1のパッド1a側との接続部4aと、チップ搭載基板2の基板端子2a側との接続部4aとが低融点はんだによって形成されればよい。

【0141】さらに、前記実施の形態1においては、低融点はんだからなるはんだペースト10をチップ搭載基板2の基板端子2a側に塗布する場合を説明したが、はんだペースト10を半導体チップ1のパッド1a側に塗布してフリップチップ接続してもよい。

【0142】また、前記実施の形態2においては、半導体チップ1に取り付ける導電性部材4である小形はんだボールの配列が格子状配列の場合について説明したが、前記実施の形態1の半導体チップ1におけるはんだペースト10の配列は、格子状配列であってもよく、また、格子状配列以外の配列であってもよい。

【0143】ただし、モールド時に半導体チップ1に掛かるモールド荷重などを考慮した場合、前記実施の形態1においてははんだペースト10の配列は、格子状配列であることが好ましい。

【0144】また、前記実施の形態1および前記実施の形態2では、1枚のベース基板11から複数(6個)の半導体装置(BGA)を製造する場合について説明したが、前記実施の形態1および前記実施の形態2においても、予めBGA1個分に切断分離されたチップ搭載基板2を準備して、このチップ搭載基板2を用いてBGA9またはBGA20を製造してもよい。

【0145】さらに、前記実施の形態1および前記実施の形態2では、樹脂封止を行う際に、トランスマーモールド方法によって樹脂封止する場合を説明したが、前記樹脂封止はポッティング方法などによって行ってもいい。

【0146】また、前記実施の形態1および前記実施の形態2では、チップ搭載基板2として比較的耐熱性の低いプリント配線基板を用いた場合を説明したが、チップ搭載基板2に高耐熱性のセラミック基板などを用いても

よい。

【0147】すなわち、前記実施の形態1および前記実施の形態2における半導体装置は、P(プラスチック)-BGAであったが、前記半導体装置がC(セラミック)-BGAであってもよい。

【0148】さらに、前記半導体装置は、外部端子にはんだボール3ではなく、ピン部材を用いたP-PGA(Pin Grid Array)やC-PGAなどであってもよい。

【0149】また、前記半導体装置は、メモリの半導体チップ1を樹脂封止するものに限らず、マイコンやロジック機能の半導体チップ1を樹脂封止するものであってもよい。

#### 【0150】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0151】(1) 半導体チップとチップ搭載基板とが樹脂流入阻止間隙部を形成して配置されることにより、チップ-基板間において導電性部材の周囲に間隙部を形成できる。これにより、リフローによる外部端子取り付け時または半導体装置の実装基板への実装時に導電性部材が熱膨張しようとした際に、導電性部材が間隙部に拡がることができる。したがって、導電性部材の熱膨張によって発生する応力を緩和させることができ、その結果、半導体装置実装時のパッケージクラックの発生を防止することができる。これにより、半導体装置の信頼性の向上を図ることができる。

【0152】(2) 半導体装置のパッケージクラックの発生を防止することができるため、チップ-基板間の接続性が劣化することも防ぐことができる。

【0153】(3) 半導体装置実装時に導電性部材が熱膨張して間隙部に拡がることができるため、導電性部材の溶融を許容することができ、その結果、導電性部材に低融点はんだを用いることが可能になる。したがって、チップ搭載基板に対して比較的安価なプリント配線基板を用いることが可能になり、導電性部材に低融点はんだを用いることと合わせて半導体装置の低コスト化を図ることができる。

【0154】(4) チップ-基板間において導電性部材の周囲に樹脂流入阻止間隙部と同じ間隔の狭い間隙部が形成されていることにより、モールド時に半導体チップに大きな荷重が掛かった際にも、半導体チップの主面にクラックを形成するような反りが発生することを防止できる。これにより、半導体装置の信頼性の向上を図ることができる。

【0155】(5) チップ搭載基板に前記間隙部と外部とを貫通する貫通孔が設けられていることにより、モールド時や半導体装置実装時などの高温付加時に間隙部で発生するガスを貫通孔を通じて外部に逃がすことができる。これにより、半導体装置におけるパッケージクラ

21

ックの発生をさらに低減できる。

【0156】(6) 半導体チップの露出面を封止用樹脂により覆って封止部を形成することにより、半導体チップの背面が露出しないため、半導体装置の特性評価時や実装時などに半導体チップの背面に直接触れることがなくなる。これにより、半導体チップに対して外力が加わることを低減できるため、チップクラックやチップ-基板間の接続不良の発生を防止できる。その結果、半導体装置の信頼性の向上を図ることができる。

【0157】(7) 半導体チップを樹脂封止することにより、半導体装置の取り扱いが容易になるため、その製造性を向上できる。

【0158】(8) 低融点はんだのはんだペーストをチップ搭載基板の基板端子上に塗布することにより、前工程（半導体チップ製造工程）において、半導体チップの表面電極上にはんだバンプを形成する工程を削除できる。これにより、本発明の半導体装置のフリップチップ接続を行うためのバンプ形成専用の設備が不要となり、その結果、半導体装置の低コスト化を図ることができる。

【0159】(9) 複数のチップ搭載基板を備えたベース基板を用いて半導体装置を製造することにより、1枚のベース基板から多数の半導体装置を製造することができる。これにより、半導体装置を効率良く製造することができる。その結果、半導体装置の製造性を向上できる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1における半導体装置（BGA）の構造の一例を一部破断して示す斜視図である。

【図2】(a), (b), (c)は図1に示すBGAの構造の一例を示す図であり、(a)は平面図、(b)は側面図、(c)は底面図である。

【図3】図2(a)におけるA-A線上に沿う断面図である。

【図4】図3におけるC部の構造を示す拡大部分断面図である。

【図5】図2(a)におけるB-B線上に沿う断面図である。

【図6】本発明の実施の形態1における半導体装置（BGA）の製造方法の一例を示す製造プロセス図である。

【図7】(a), (b)は図1に示すBGAの各製造工程におけるベース基板の状態の一例を示す平面図である。

【図8】(a), (b), (c)は図1に示すBGAの各製造工程におけるベース基板の状態の一例を示す平面図とBGAの側面図である。

【図9】(a), (b)は図1に示すBGAの製造方法におけるはんだペーストの塗布状態の一例を示す拡大部分

22

断面図であり、(a)はリフロー前、(b)はリフロー後である。

【図10】図1に示すBGAの製造方法における導電性部材のBGA実装リフロー時の溶融状態の一例を示す拡大部分断面図である。

【図11】図1に示すBGAに用いられる封止用樹脂の物性の一例を示す物性データ図である。

【図12】本発明の実施の形態2における半導体装置（BGA）の構造の一例を示す断面図である。

【図13】図12におけるD部の構造を示す拡大部分断面図である。

【図14】図12に示すBGAの半導体チップに設けられた導電性部材の配列の一例を示す底面図である。

#### 【符号の説明】

1 半導体チップ

1 a パッド（表面電極）

1 b 主面

1 c 背面（露出面）

1 d 側面（露出面）

20 1 e バリヤメタル層

1 f 保護膜

1 g 外周部

2 チップ搭載基板

2 a ランド（基板端子）

2 b チップ搭載面

2 c 基板裏面

2 d 貫通孔

2 e ソルダレジスト

2 f 表面配線

2 g 内部配線

2 h ダム部

3 はんだボール（外部端子）

4 導電性部材

4 a 接続部

5 封止用樹脂

6 封止部

7 樹脂流入阻止間隙部

8 間隙部

9 BGA（半導体装置）

40 9 a BGA本体部（半導体装置本体部）

10 はんだペースト

11 ベース基板

11 a 位置決め孔

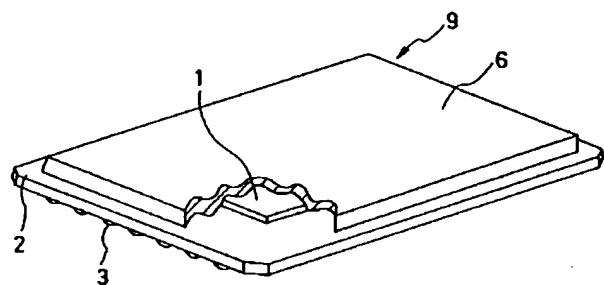
11 b ガイド長孔

12 マスク部材（高さ制御部材）

20 BGA（半導体装置）

【図1】

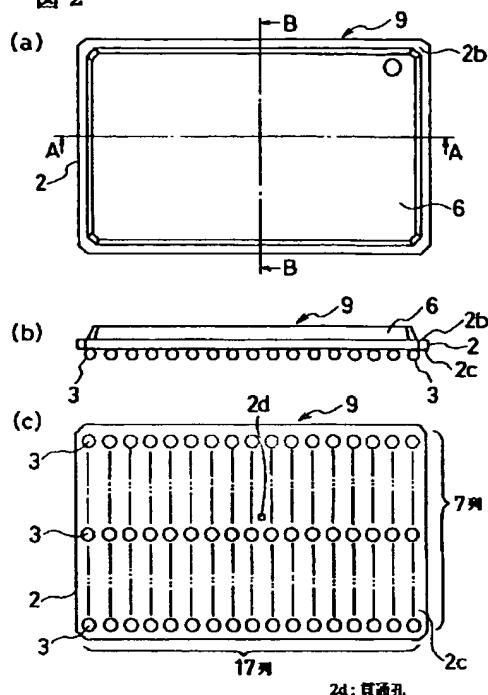
図1



3:はんだボール(外部端子)  
6:封止部  
9:BGA(半導体装置)

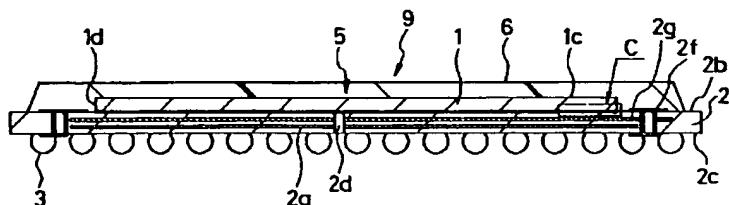
【図2】

図2



【図3】

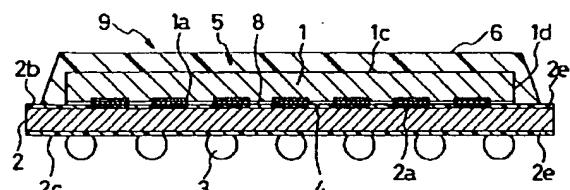
図3



1c:背面(露出面)  
1d:側面(露出面)  
5:封止用樹脂

【図5】

図5



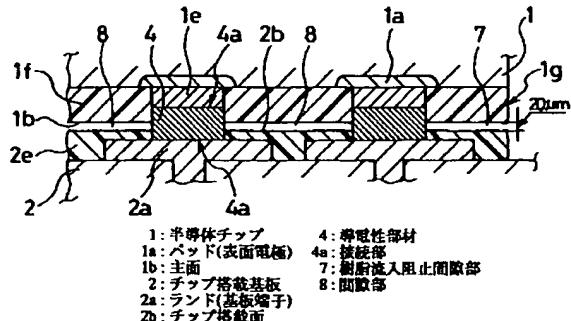
【図11】

図11

組成	エポキシ	—	ビフェニル
物性	Tg	°C	125±10
	$\alpha_1$	ppm/°C	12
	ヤング率	N/mm <sup>2</sup>	2200
成形物性	スペイクルフロー	inch	30±4
	ゲルタイム(160°C)	sec	50±10
	ペリ	mm	2.0↓

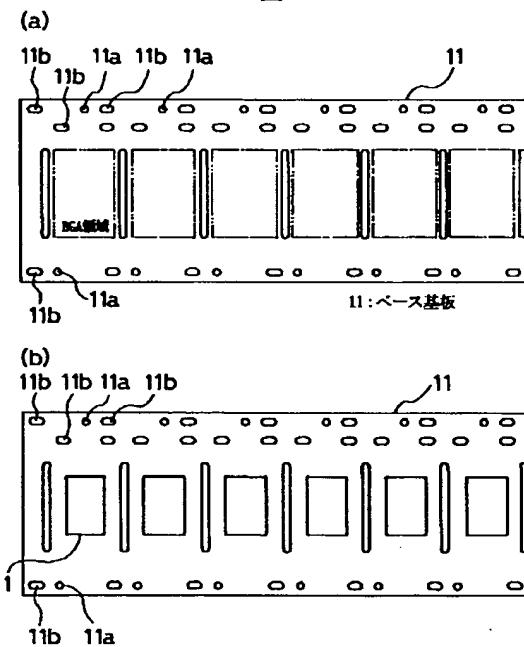
【図4】

図4



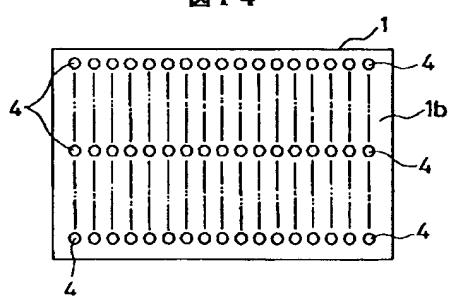
【図7】

図7



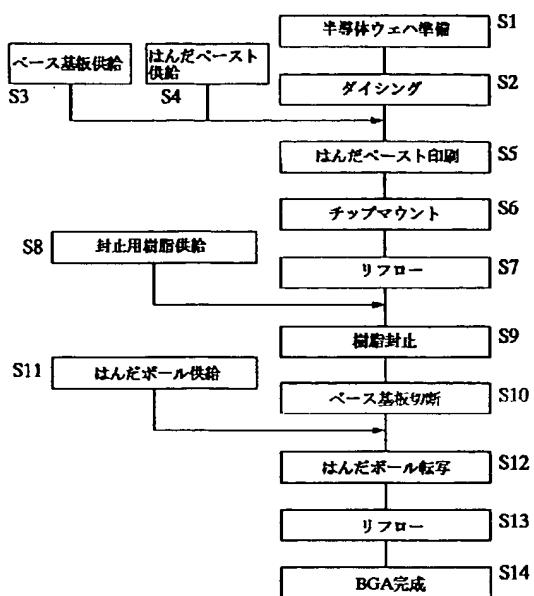
【図14】

図14



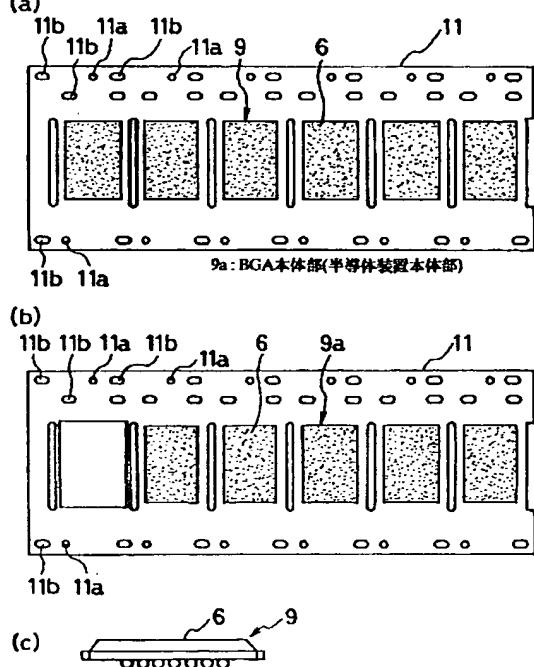
【図6】

図6



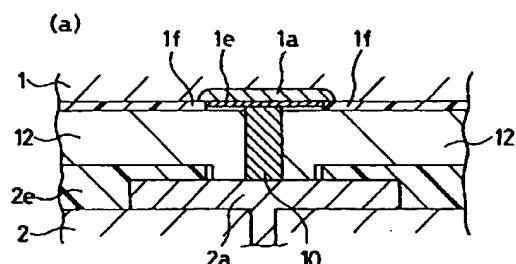
【図8】

図8

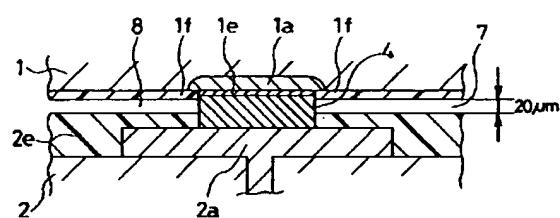


【図9】

図9

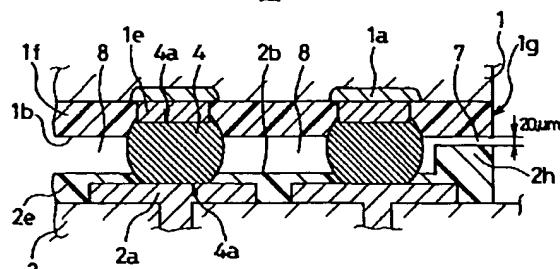


(b)



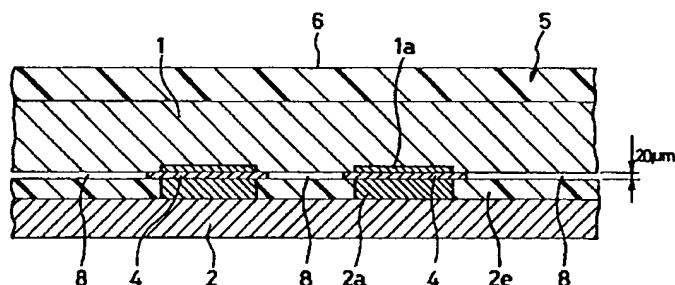
【図13】

図13



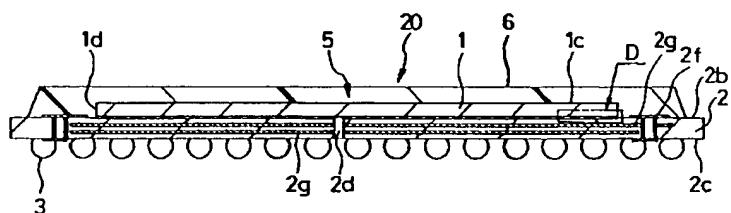
【図10】

図10



【図12】

図12



20:RGA(半導体装置)

フロントページの続き

(72)発明者 斎藤 孝樹  
北海道亀田郡七飯町字中島145番地 日立  
北海セミコンダクタ株式会社内